

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Rory Dickman, et al.

Serial No.: 10/672,145

Filed: September 26, 2003

Confirmation No.: 6091

For: METHOD FOR CONTROLLING
SEMICONDUCTOR CHIPS
AND CONTROL APPARATUS

တော

Group Art Unit: Unknown

Examiner: UNKNOWN

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE OF MAILING
37 CFR 1.8

I hereby certify that this correspondence is being deposited on
June 18, 2004 with the United States Postal
Service as First Class Mail in an envelope addressed to
Commissioner for Patents, P.O. Box 1450 Alexandria, VA
22313-1450.

6-18-04
Date

[Signature]
Signature

CLAIM TO PRIORITY

Applicant(s) reaffirm the claim for the benefits of filing dates of the following foreign patent applications referred to in Applicant's Declaration:

German Patent Application Serial Number 103 43 525.5 filed September 19, 2003, which claims priority to German Patent Application Serial Number 102 45 272.5-53 filed September 27, 2002,

Copies of the applications certified by the German Patent Office are enclosed.

Respectfully submitted,

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 43 525.5

Anmeldetag: 19. September 2003

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zum Steuern von Halbleiterbausteinen
und Steuervorrichtung

Priorität: 27.9.2002 DE 102 45 272.5

IPC: G 11 C 7/04

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 24. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Beschreibung

Verfahren zum Steuern von Halbleiterbausteinen und Steuervorrichtung

5

Die Erfindung betrifft ein Verfahren zum Steuern von Halbleiterbausteinen, insbesondere Speicherbausteinen, die auf Modulen gruppenweise angeordnet sind. Ferner betrifft die Erfindung eine Steuervorrichtung zur Durchführung des Verfahrens.

10

Moderne elektronische Systeme umfassen in der Regel eine Vielzahl von Halbleiterbausteinen, die als Träger integrierter Schaltkreise dienen. Die mit Hilfe gegenwärtiger Verfahren erreichte hohe Integrationsdichte dieser Schaltkreise, erlaubt die Realisierung einer Vielzahl von Funktionen auf einem einzigen Halbleiterbaustein. So enthalten z.B. einzelne dynamische Speicherbausteine (DRAM) bereits mehr als 64 Millionen einzelner Speicherzellen.

15

Trotz dieser hohen Integrationsdichten ist es häufig notwendig, dass Funktionseinheiten elektronischer Systeme, wie z.B. der Arbeitsspeicher eines Rechensystems, aus mehreren Einzelkomponenten zusammengesetzt werden. In diesem Fall werden die Funktionseinheiten häufig auf mehrere Halbleiterbausteine verteilt, die dann gruppenweise auf Modulen angeordnet werden.

20

25

Die Verwendung von Modulen kann dabei unterschiedliche Gründe haben. Zum einen erlaubt ein modularer Aufbau den Einsatz von kleineren Halbleiterbausteinen, die sich in der Regel viel günstiger herstellen lassen. Auch können physikalische Effekte, wie z.B. die durch Verlustleistung (power dissipation) bedingte Wärmeentwicklung auf den Halbleiterbausteinen, den Einsatz mehrerer kleiner Einheiten sinnvoll machen. In der Regel lässt sich mit Hilfe eines modularen Aufbaus auch ein flexibler Aufbau der entsprechenden Funktionseinrichtung des elektronischen Systems realisieren.

30

35

Zur Einbindung der auf Modulen angeordneten Halbleiterbausteine in das jeweilige elektronische System kommen Bussysteme zum Einsatz, die die Halbleiterbausteine mit entsprechenden Komponenten des elektronischen Systems, wie z.B. dem zentralen Prozessor (central processing unit), verbinden.

Insbesondere bei modernen elektronischen Rechensystemen, deren Arbeitsspeicher in der Regel aus mehreren Modulen mit jeweils mehreren Speicherbausteinen aufgebaut ist, übernimmt eine Speichersteuereinheit (Memory Controller) die Anbindung der Speicherbausteine an den gemeinsamen Datenbus. Sie bildet dabei eine entscheidende Komponente des Rechensystems, denn ihre Funktion besteht darin, den Datenaustausch zwischen dem Prozessor und dem Speicher zu steuern.

Herkömmlicherweise sind Speicherbausteine eines Moduls einer sogenannten Bank fest zugeordnet, deren Mitglieder gleichzeitig einen Datenaustausch mit dem Datenbus durchführen. Eine Bank besteht dabei aus einer bestimmten Anzahl von Speicherbausteinen eines Moduls, deren Datenleitungen zusammen genau die Wortbreite des entsprechenden Datenbusses ergeben. In der Regel entspricht das genau der Anzahl der auf einem Modul angeordneten Speicherbausteine. Aufgrund der festen Zuordnung der Speicherbausteine steuert die Speichersteuereinheit lediglich die Auswahl der fest organisierten Bänke.

Problematisch bei der festen Organisation von Speicherbausteinen zu einer Bank erweist sich jedoch, dass insbesondere die durch die Verlustleistung der Speicherbausteine bedingte Wärmeentwicklung stark lokalisiert vorkommen kann. Die mit der Wärmeentwicklung steigende Temperatur eines Speicherbausteins (junction temperature) kann dann bei einigen Speicherbausteinen leicht eine für den jeweiligen Halbleitertyp kritische Temperatur übersteigen, was mit einer drastischen Zunahme von Funktionsstörungen beim jeweiligen Speicherbaustein einhergeht.

Da individuelle Unterschiede der Speicherbausteine einer Bank bei einer festen Bank-Organisation nicht berücksichtigt werden können, führt die vom jeweiligen Nutzungsgrad und der individuellen Eigenschaften eines Speicherbausteins abhängige
5 Temperaturentwicklung üblicherweise zu einer ungleichmäßigen Temperaturverteilung bei den Speicherbausteinen entlang des entsprechenden Moduls.

Um Fehlfunktionen bei den Speicherbausteinen vorzubeugen, und
10 damit eine ausreichend hohe Zuverlässigkeit der Speicherbausteine zu gewährleisten, können die einer Bank fest zugeordneten Speicherbausteine eines Moduls lediglich mit einer reduzierten Leistung betrieben werden. Dies führt in der Regel zu Leistungseinbussen des gesamten Speichers.

15

Um Leistungseinbussen durch thermische Belastung von auf Modulen angeordneten Speicherbausteinen zu reduzieren, werden derzeit lediglich passive Kühlelemente an den Speicherbausteinen vorgesehen. Solche passiven Kühlelemente sind z.B. in
20 JP 2001196516 A, JP 63299258 A, JP 63273342 A oder JP 11354701 A beschrieben.

25

Aufgabe der Erfindung besteht darin, ein verbessertes Verfahren zum Betreiben von Halbleiterbausteinen, die gruppenweise auf an einem gemeinsamen Datenbus angeschlossenen Modulen angeordnet sind, bereitzustellen. Ferner ist es Aufgabe der Erfindung, eine Vorrichtung sowie eine Anordnung zur Durchführung des Verfahrens zur Verfügung zu stellen.

30 Diese Aufgabe wird durch ein Verfahren nach Anspruch 1, durch eine Steuervorrichtung nach Anspruch 14 sowie durch eine Anordnung nach Anspruch 21 gelöst. Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

35

Demnach wird bei dem erfindungsgemäßen Verfahren zum Betreiben von Halbleiterbausteinen, insbesondere Speicherbaustei-

nen, die gruppenweise auf an einem gemeinsamen Datenbus angeschlossenen Modulen angeordnet sind, wobei jeder Halbleiterbaustein auf jedem Modul mit wenigstens einer Datenleitung des Datenbusses verbunden ist, zunächst eine Gruppe von Halbleiterbausteinen aus den auf den Modulen angeordneten Halbleiterbausteinen durch eine Auswahlrichtung nach einem vorgegebenen Auswahlkriterium ausgewählt. Dabei findet die Auswahl unabhängig von der Zugehörigkeit der Halbleiterbausteine zu den Modulen statt. Anschließend wird die ausgewählte Gruppe von Halbleiterbausteinen durch eine Aktivierungseinrichtung für einen Datenaustausch mit den Datenleitungen des Datenbusses aktiviert. Im folgenden Verfahrensschritt wird schließlich ein Datenaustausch zwischen den Halbleiterbausteinen der ausgewählten Gruppe und den Datenleitungen des Datenbusses durchgeführt. Da die Auswahl der Halbleiterbausteine modulunabhängig und nach einem vorgegebenen Kriterium erfolgt, können jeweils die geeignetsten Halbleiterbausteine für einen Datenaustausch mit den Datenleitungen des Datenbusses ausgewählt werden. Dies hat den Vorteil, dass der Datenaustausch verbessert werden kann.

In einer vorteilhaften Ausführungsform der Erfindung wählt die Auswahlrichtung in zwei zeitlich nacheinander erfolgenden Verfahrenszyklen jeweils verschiedene Halbleiterbausteine für die Gruppe aus. Dies hat den Vorteil, dass hierdurch eventuell bei Halbleiterbausteinen aufgrund vorheriger Aktivitäten vorkommende Leistungseinbussen vermieden werden können.

In einer besonders vorteilhaften Ausführungsform der Erfindung wird als Auswahlkriterium für die Gruppe die Temperatur eines Halbleiterbausteins vorgesehen, wobei vorzugsweise Halbleiterbausteine mit der niedrigsten Temperatur ausgewählt werden. Hohe Betriebstemperaturen gestalten sich im Zusammenhang mit Halbleiterschaltungen in der Regel als sehr problematisch. Oberhalb einer kritischen Temperatur, die für jeden Halbleitertyp verschieden ist, treten in der Regel gehäuft

Fehlfunktionen bei Halbleiterschaltungen auf. Zur Vermeidung solcher unerwünschten Betriebszustände, müssen die entsprechenden Halbleiterbausteine unterhalb der kritischen Temperatur betrieben werden. Die erfindungsgemäße Auswahl der Halbleiterbausteine mit der niedrigsten Temperatur ermöglicht somit einen verbesserten Betrieb der Halbleiterbausteine.

10 In einer weiteren bevorzugten Ausführungsform der Erfindung erfolgt die Auswahl der Gruppe von Halbleiterbausteinen mit Hilfe einer statistischen Methode. Durch den Einsatz einer geeigneten statistischen Methode, die für den Betrieb der Halbleiterbausteine relevanten statistischen Informationen berücksichtigt, kann die Auswahl der Halbleiterbausteine optimiert werden.

15

Eine besonders vorteilhafte Ausführungsform der Erfindung sieht vor, dass die zur Auswahl der Gruppe von Halbleiterbausteinen vorgesehene statistische Methode die Anordnung der Halbleiterbausteine auf den Modulen und/oder die Anordnung der Module (M1-M4) zueinander oder zu anderen benachbarten Komponenten berücksichtigt. Hierdurch können nachteilige Betriebszustände, die sich aufgrund der Anordnung der Halbleiterbausteine oder Module ergeben, vermieden werden.

25

Eine weitere vorteilhafte Ausführungsform der Erfindung sieht vor, dass die statistische Methode empirisch und/oder aktuell ermittelte Daten berücksichtigt. Durch die Verwendung empirischer Daten kann auf eine aufwendige Ermittlung der aktuellen Betriebszustände verzichtet werden. Die Verwendung aktuell ermittelter Daten ermöglicht hingegen eine verbesserte Auswahl bei schwankenden Betriebsbedingungen.

30

In einer weiteren bevorzugten Ausführungsform der Erfindung hängt die Auswahlwahrscheinlichkeit eines Halbleiterbausteins von seiner relativen Lage zu benachbarten Halbleiterbausteinen ab, wobei ein im äußeren Bereich der Module angeordneter Halbleiterbaustein eine größere Auswahlwahrscheinlichkeit als

35

ein in einem inneren Bereich angeordneter Halbleiterbaustein aufweist. Hierdurch kann der Betrieb von Halbleiterbausteinen verbessert werden, die insbesondere aufgrund höherer Temperaturbelastung in einem inneren Bereich der Module ihre kritische Temperatur überschreiten und daher Funktionsstörungen aufweisen.

Eine weitere vorteilhafte Ausführungsform der Erfindung sieht die Verwendung einer Bewertungseinrichtung vor, um die Halbleiterbausteine nach vorgegebenen Kriterien, insbesondere Temperatur, zu bewerten. Durch den Einsatz der Bewertungseinrichtung kann der Zustand der Halbleiterbausteine aktuell bewertet und somit für jeden Verfahrenszyklus eine optimierte Auswahl ermöglicht werden.

In einer weiteren vorteilhaften Ausführungsform der Erfindung ist vorgesehen, dass jedem Modul ein individueller Index zugeordnet ist, der das entsprechende Modul und die Position des entsprechenden Halbleiterbausteins auf dem Modul bezeichnet. Vorteilhaft dabei ist, dass einzelne Halbleiterbausteine mithilfe der Indizes individuell angesprochen werden können. Weiterhin ist vorteilhaft, die Indizes der ausgewählten Gruppe von Halbleiterbausteinen in eine Registereinrichtung abulegen, wodurch sich Speicherbänke flexibel organisieren lassen.

Ferner sieht eine weitere vorteilhafte Ausführungsform der Erfindung vor, die Auswahl der Speicherbausteine zu Beginn einer Start-Up Prozedur durchzuführen, bei der die Speicherbausteine in Betrieb genommen werden. Hierdurch kann die Datenintegrität besonders einfach sichergestellt werden.

Eine weitere vorteilhafte Ausführungsform der Erfindung sieht vor, dass vor einer Auswahl einer Gruppe von Speicherbausteinen die in den Speicherbausteinen gespeicherten Daten in einen Zwischenspeicher abgelegt werden. Hierdurch kann die Datenintegrität auch bei einer Reorganisation der Bänke während

eines laufenden Betriebes des Speicherbausteine sichergestellt werden. Ferner kann hierbei auf bereits bekannte Methoden zurückgegriffen werden.

- 5 In einer weiteren vorteilhaften Ausführungsform der Erfindung ist vorgesehen, eine weitere Gruppe von Speicherbausteinen auszuwählen. Hierdurch können die Vorteile eines Interleaved-Verfahrens genutzt werden, wobei jeweils zwischen den Gruppen der Halbleiterbausteine gewechselt wird.

10

Die Erfindung wird im Folgenden anhand von Zeichnungen näher erläutert. Es zeigen:

- Fig. 1 eine Anordnung von vier Speichermodulen mit jeweils
15 neun DRAM-Speicherbausteinen,

Fig. 2 vier an einem gemeinsamen Datenbus angeschlossene Module und eine herkömmliche Steuervorrichtung,

- 20 Fig. 3 vier an einem gemeinsamen Datenbus angeschlossene Module und eine erfindungsgemäße Steuervorrichtung,

Fig. 4a und 4b schematisch die Zuordnung der DRAM-Speicherbausteine zu einer aktiven Gruppe,

25

Fig. 5 schematisch eine erfindungsgemäße Anordnung mit einer erfindungsgemäßen Steuervorrichtung,

- 30 Fig. 6 schematisch den Aufbau einer erfindungsgemäßen Steuervorrichtung, und

Fig. 7 beispielhaft die Belegung der Signal- und Datenleitungen eines erfindungsgemäßen DRAM-Moduls.

- 35 Figur 1 zeigt 36 gleichartige Halbleiterbausteine IC1-IC36, die gruppenweise zu jeweils neun Halbleiterbausteinen IC1-IC36 auf vier gleichartigen Modulen M1-M4 angeordnet sind.

Erfindungsgemäß sind hierbei beliebige Halbleiterbausteine vorgesehen. In Folgenden wird die Erfindung jedoch beispielhaft anhand von Speicherbausteinen erläutert, die als DRAM-Speicherchips, wie z.B. SDR und DDR SDRAMs, auf Speichermodulen, sogenannten „single in-line memory module“ (SIMM) oder „dual in-line memory module“ (DIMM) angeordnet sind. Diese insbesondere aus dem Computerbereich bekannten Speichermodule werden häufig in der durch die Figur 1 gezeigten Anordnung eng beieinander in hierfür vorgesehene Steckplätze einer Hauptplatine (hier nicht gezeigt) gesteckt und bilden den Arbeitsspeicher eines Rechensystems. Mithilfe von vorzugsweise entlang einer langen Kante eines Moduls M1-M4 angeordneten Kontakten werden die Module M1-M4 an die Datenleitungen DQ1-DQ72, sowie an Versorgungs- und Signalleitungen eines gemeinsamen Datenbusses DQ angeschlossen (hier nicht gezeigt). Ebenfalls nicht gezeigt sind elektrische Verbindungsleitungen und Schaltkreise, mit deren Hilfe die Speicherbausteine IC1-IC36 mit den Signal-, Versorgungs- und Datenleitungen DQ1-DQ72 des Datenbusses DQ verbunden sind.

Der durch den Betrieb der Halbleiterbausteine IC1-IC36 bedingte Verbrauch elektrischer Energie äußert sich in der Regel durch eine Erhöhung der Temperatur der entsprechenden Halbleiterbausteine IC1-IC36. Aufgrund der hohen Integrationsdichten moderner Halbleiterbausteine, sowie der zu deren Betrieb verwendeten hohen Taktraten, können heutige Halbleiterbausteine IC1-IC36 leicht eine für den jeweiligen Halbleitertyp kritische Temperatur erreichen. Oberhalb dieser Temperatur treten in der Regel gehäuft Fehlfunktionen in den Schaltkreisen der entsprechenden Halbleiterbausteine IC1-IC36 auf, so dass die Zuverlässigkeit der Halbleiterbausteine IC1-IC32 oberhalb der kritischen Temperatur nicht gewährleistet ist.

Die in Figur 1 gezeigte Anordnung, wobei Halbleiterbausteine IC1-IC36 nebeneinander auf Modulen M1-M4 angeordnet sind, die wiederum aufgrund von Platzmangel auf der Hauptplatine eng

nebeneinander angeordnet sind, begünstigt in der Regel eine geringe Luftzirkulation oder -konvektion. Dieser negative Effekt kann durch weitere in der Nähe der Module M1-M4 befindliche Komponenten und durch den Aufbau des entsprechenden elektronischen Rechensystems selbst noch verstärkt werden, so dass insbesondere in einem mittleren Bereich der Anordnung befindliche Halbleiterbausteine IC1-IC36 in kritischen Temperaturbereichen betrieben werden. Hingegen sind die in einem äußeren Bereich der Anordnung befindlichen Halbleiterbausteine IC1-IC36 einer besseren Luftzirkulation bzw. -konvektion ausgesetzt, so dass ihre Betriebstemperatur in der Regel deutlich unterhalb der kritischen Temperatur liegt. Diese sich entlang der Reihenanordnungen der Halbleiterbausteine auf einem Modul M1-M4 einstellende Verteilung der Betriebstemperatur einzelner Halbleiterbausteine IC1-IC36 zeigt sich ebenfalls in der Reihenanordnung der Module M1-M4. So werden in der Regel die beiden äußeren Module M1,M4 aufgrund einer besseren Luftzirkulation bzw. -konvektion eine niedrigere Temperatur aufweisen als die Module M2,M3 im Inneren dieser Reihenanordnung, wo die Module M2,M3 jeweils auf beiden Seiten unmittelbare Nachbarn aufweisen.

Zusätzlich können Halbleiterbausteine IC1-IC36 eines Moduls M1-M4 durch weitere benachbart auf dem jeweiligen Modul M1-M4 angeordnete elektrische Bauelemente, wie z.B. Buffer- oder PLL-Komponenten, die ihrerseits eine hohe Betriebstemperatur aufweisen, thermisch belastet werden.

Figur 2 zeigt einen herkömmlichen Aufbau eines Arbeitsspeichers eines Rechensystems. Dabei sind vier Module M1-M4 an die Datenleitungen DQ1-DQ72 eines gemeinsamen Datenbusses DQ angeschlossen, dessen Betrieb von einer Steuervorrichtung C gesteuert wird. Die vier Module M1-M4 in Figur 1 können beispielsweise moderne SDR- oder DDR SDRAM-Speichermodule sein, die als sogenannte DIMMs („dual in-line memory module“) jeweils achtzehn Speicherbausteine IC1-IC36 aufweisen, die jeweils in einer Gruppe zu neun Speicherbausteinen IC1-IC36 auf

beiden Seiten des Moduls M1-M4 verteilt sind. Zwecks besserer Darstellbarkeit sind hier jedoch nur einseitig bestückte Module M1-M4 dargestellt. Der Datenbus DQ, der die vier Module M1-M4 mit der Steuervorrichtung C verbindet, weist in dem gezeigten Beispiel neben Steuer- und Versorgungsleitungen auch 72 Datenleitungen DQ1-DQ72 auf. Jedes der Module M1-M4 weist Verbindungsleitungen und Schaltkreise auf, die zur Verbindung der an den Kontakten der Module M1-M4 anliegenden Leitungen des Datenbusses DQ mit den auf den jeweiligen Modul M1-M4 angeordneten Speicherbausteinen IC1-IC36 dienen (hier nicht gezeigt).

Der in Figur 2 gezeigte herkömmliche Aufbau eines modularen Arbeitsspeichers weist eine festgelegte Organisation der Speicherbausteine IC1-IC36 auf. Dabei ist in der hier beispielhaft gezeigten x8-Organisation der Speicherbausteine jeder Speicherbaustein IC1-IC36 eines Moduls M1-M4 mit jeweils acht Datenleitungen DQ1-DQ72 des Datenbusses DQ verbunden. Zur vollständigen Belegung des 72-Bit breiten Datenbusses DQ sind daher jeweils neun der Speicherbausteine IC1-IC36 notwendig.

Wie in Figur 2 durch eine Schraffierung dargestellt, sieht eine herkömmliche Bank-Organisation vor, dass jeweils nur die Speicherbausteine IC1-IC36 eines einzigen Moduls M1-M4 für einen Datenaustausch mit den Datenleitungen DQ1-DQ72 des Datenbusses DQ aktiviert werden. Somit wird der gesamte Datenbus DQ jeweils von einem einzigen Modul M1-M4 belegt.

Bei Verwendung von Modulen mit einer anderen Organisation, wie beispielsweise x4, wobei jeder Speicherbaustein IC eines Moduls M jeweils mit vier Datenleitungen DQ1-DQ72 verbunden ist, wird ein 72-Bit breiter Datenbus DQ erst durch 18 Speicherbausteine IC belegt. Dazu werden Herkömmlicherweise beide Seiten eines DIMMs für einen Datenaustausch aktiviert. Da die Speicherbausteine IC1-IC36 eines Moduls M1-M4 bei der konventionellen Bank-Organisation Blockweise für einen Datenaus-

tausch mit dem Datenbus DQ aktiviert werden, können individuelle Unterschiede der Halbleiterbausteine IC1-IC36, die sich betriebsbedingt ergeben können, nicht berücksichtigt werden. Diese Unterschiede, insbesondere bei leistungsbestimmenden

- 5 Parametern, wie z.B. der Temperatur eines Halbleiterbausteins, führen im Allgemeinen zu Leistungseinbussen des gesamten Moduls M1-M4. Im herkömmlichen Betrieb kann es daher häufig zu Störungen kommen, da mit dem Überschreiten kritischer Werte leistungsbestimmender Parameter, insbesondere der
- 10 Temperatur, einzelner Halbleiterbausteine IC1-IC36 eines Moduls M1-M4 die Zuverlässigkeit des entsprechenden Moduls M1-M4 drastisch abnimmt. So führen z.B. fehlgeschlagene Schreib-/Leseoperationen bei einem bestimmten Speicherbaustein IC1-IC36 eines Moduls M1-M4 in nachteiliger Weise zu Wiederholun-
- 15 gen der jeweiligen Operationen, wodurch der Durchsatz der zwischen dem jeweiligen Modul M1-M4 und dem Datenbus DQ ausgetauschten Daten drastisch reduziert wird. Um die Zuverlässigkeit des gesamten Moduls M1-M4 zu gewährleisten, muss in einem solchen Fall die Leistung, d.h. der Datendurchsatz des
- 20 jeweiligen Moduls M1-M4 reduziert werden, was die besagten Leistungseinbussen eines herkömmlich organisierten Arbeitsspeichers bedingt.

- Figur 3 zeigt eine zur Figur 2 analoge Speichervorrichtung
- 25 mit vier Modulen M1-M4, die an einem gemeinsamen Datenbus DQ angeschlossen sind und jeweils neun Speicherbausteine IC1-IC36 auf einer Seite aufweisen. Die Module M1-M4 sind über die Datenleitungen DQ1-DQ72 des Datenbusses DQ mit einer erfindungsgemäßen Steuervorrichtung C verbunden. Die erfindungsgemäße Steuervorrichtung C weist eine Bewertungseinrichtung S, eine Auswahlrichtung E sowie eine Aktivierungseinrichtung A auf, die in Figur 3 schematisch dargestellt sind.
- 30

- Zur Durchführung eines Datenaustausches zwischen den Modulen
- 35 M1-M4 und den Datenleitungen DQ1-DQ72 des Datenbusses DQ sieht das erfindungsgemäße Verfahren eine variable Bankorganisation vor, bei der eine Gruppe von Speicherbausteinen

IC1-IC36 anhand eines vorgegebenen Kriteriums ausgewählt wird. Hierzu selektiert die Auswahlleinheit E aus der Gesamtheit der Speicherbausteine IC1-IC36 eine bestimmte Anzahl geeigneter Speicherbausteine IC nach dem vorgegebenen Kriterium. Die Anzahl der ausgewählten Speicherbausteine IC ist dabei in Abhängigkeit von der jeweiligen Ausgestaltung der Speicherbausteine IC1-IC36 so bestimmt, dass die Gesamtzahl der durch die Speicherbausteine IC1-IC36 der Gruppe belegten Datenleitungen DQ1-DQ72 genau mit der Breite des gesamten Datenbusses DQ übereinstimmt. Dies entspricht bei der in Figur 3 dargestellten x8-Organisationsstruktur, mit 72 Datenleitungen und jeweils acht Datenleitungen pro Speicherbaustein IC1-IC36 genau neun Speicherbausteinen IC. Da die Auswahl modulunabhängig erfolgt, können im Gegensatz zu der festen Organisation in Figur 2 Speicherbausteine IC1-IC36 aller vier Module M1-M4 für die Gruppe ausgewählt werden. Andererseits ist auch ein Betrieb mit einer oder mehreren herkömmlich organisierten Speicherbänken möglich, z.B. wenn der leistungskritische Parameter bei keinem der Halbleiterbausteine IC1-IC36 einen kritischen Wert übersteigt. In diesem Fall enthält eine Speicherbank lediglich Halbleiterbausteine IC1-IC36 einer einzigen Rank-Gruppe.

Je nach Verschaltung der Halbleiterbausteine IC1-IC36 auf den Modulen M1-M4, wobei die Datenleitungen DQ1-DQ72 des Datenbusses DQ einem Speicherbaustein IC1-IC36 auf einem Modul M1-M4 entweder fest zugeordnet sind oder durch eine hier nicht dargestellte Einrichtung individuell vergeben werden, wählt die Auswahlleinrichtung E der Steuervorrichtung C die Speicherbausteine IC1-IC36 abhängig oder unabhängig von der jeweiligen Position des Speicherbausteins IC1-IC36 auf dem entsprechenden Modul M1-M4 aus. Bei dem in Figur 2 und 3 dargestellten Fall, wobei die auf den Modulen M1-M4 angeordneten Speicherbausteine IC1-IC36 eine feste Zuordnung zu den Datenleitungen DQ1-DQ72 des Datenbusses DQ aufweisen, muss die Auswahlleinrichtung E der Steuervorrichtung C bei der Auswahl eines Speicherbausteins IC1-IC36 für die Gruppe von Speicher-

bausteinen IC1-IC36 auch die Position des jeweiligen Speicherbausteins IC1-IC36 auf dem entsprechenden Modul M1-M4 berücksichtigen, so dass keine Datenleitung DQ1-DQ72 des Datenbusses DQ gleichzeitig zweien oder mehreren auf derselben Position der Module M1-M4 angeordneten Speicherbausteinen IC1-IC36 zugeordnet wird. Wie in Figur 3 gezeigt ist, wird jede Position eines Halbleiterbausteins IC1-IC36 auf den Modulen M1-M4 daher lediglich bei einem einzigen Modul M1-M4 ausgewählt. Alle ausgewählten Halbleiterbausteine IC1-IC36 weisen daher eine unterschiedliche Position auf den entsprechenden Modulen M1-M4 auf.

In Figur 3 ist also prinzipiell angedeutet, dass für die komplette Belegung des Datenbusses DQ Speicherbausteine verschiedener Module M1-M4 verwendet werden. Diejenigen Speicherbausteine, deren Anschlusspins an den Datenbus DQ angeschlossen sind, sind in der Figur schraffiert dargestellt. Es ist erkennbar, dass die für die komplette Belegung des Datenbusses DQ erforderlichen neun Speicherbausteine auf unterschiedlichen Modulen M1-M4 angeordnet sind. Als Ergebnis des erfindungsgemäßen Bewertens und Auswählens werden für den Datenaustausch mit dem Datenbus DQ die geeignetesten Speicherbausteine verwendet.

Als Kriterium für die Auswahl eines Speicherbausteins IC1-IC36 dient ein leistungskritischer Parameter des jeweiligen Speicherbausteins IC1-IC36. Dabei kommt bevorzugt die Temperatur des jeweiligen Speicherbausteins IC1-IC36 in Frage, da ihr angesichts der drastischen Leistungseinbussen, die beim Überschreiten eines kritischen Temperaturwertes entstehen, eine zentrale Rolle beim Betrieb von Halbleiterbausteinen zukommt. Darüber hinaus können auch andere leistungsrelevante Parameter der Speicherbausteine IC1-IC36 als Auswahlkriterium dienen. Zur Überwachung des jeweiligen leistungskritischen Parameters jedes Speicherbausteins IC1-IC36 ist die Bewertungseinrichtung S vorgesehen, die in Figur 3 beispielhaft als eine zentrale Einrichtung zur Erfassung der Temperatur

des jeweiligen Speicherbausteins IC1-IC36 ausgebildet ist. Die Bewertungseinrichtung S ist dabei ausgebildet, um die leistungsrelevanten Parameter der Speicherbausteine IC1-IC36 auf den Modulen M1-M4 aktuell zu erfassen. Im vorliegenden

5 Fall kann die Temperatur der Speicherbausteine IC1-IC36 vorzugsweise mit Hilfe von Temperatursensoren erfasst werden (hier nicht dargestellt), die sowohl auf den Speicherbausteinen IC1-IC36 selbst, auf den Modulen M1-M4 oder auch außerhalb der Module angeordnet sein können. Eine Erfassung des

10 leistungsrelevanten Parameters, insbesondere der Temperatur, kann aber auch zentral erfolgen. Hierzu wird vorzugsweise ein Verhalten der entsprechenden Speicherbausteine IC1-IC36 während des Betriebs oder während einer Testphase ermittelt und ausgewertet. Im Falle der Temperatur als Auswahlkriterium

15 kommen auch Verhaltensweisen in Frage, die auf elektrischen Eigenschaften der Halbleiterschaltkreise eines Speicherbausteins IC1-IC36 basieren, da sich diese mit der Temperatur ändern können. Somit kann die Temperatur eines Speicherbausteins IC1-IC36 z.B. anhand eines elektrischen Widerstands ermittelt

20 werden, den eine vorgegebene elektrisch leitfähige Strecke des jeweiligen Speicherbausteins IC1-IC36 bei einer bestimmten Temperatur aufweist.

Die Auswahleinrichtung E ist dabei vorzugsweise ausgebildet, um die ermittelten Werte der Bewertungseinrichtung S zur Auswahl geeigneter Speicherbausteine IC1-IC36 heranzuziehen.

Ferner kann in einer anderen Ausgestaltung der Erfindung die Auswahleinrichtung E geeignete Speicherbausteine IC1-IC36

30 mithilfe einer statistischen Methode auswählen. Hierbei können auf Zufall basierende oder vorgegebene Auswahlmuster vorgesehen sein, die eine gleichmäßige oder ausgewogene Verteilung der ausgewählten Halbleiterbausteine IC1-IC36 und damit z.B. der Wärmeenergie bewirken können. Ferner können auch

35 hierbei sowohl empirische Daten als auch aktuelle Bewertungswerte berücksichtigt werden. Insbesondere können vorzugsweise auf empirischen Daten basierende Wahrscheinlichkeiten den

Speicherbausteinen IC1-IC36 entsprechend ihrer Position auf einem Modul M1-M4 zugeordnet werden, die bei der Auswahl berücksichtigt werden.

- 5 Bei der Verwendung empirischer oder aktuell ermittelter Daten bzw. statistischer Methoden bei der Auswahl geeigneter Halbleiterbausteine IC1-IC36 lässt sich ebenso die relative Lage der Halbleiterbausteine IC1-IC36 bzw. Module M1-M4 untereinander als auch zu weiteren Komponenten berücksichtigen. Zum
- 10 Beispiel kann auch die durch eine Übereinanderanordnung von Rechensystemen in einer Serveranwendung bedingte erhöhte thermische Belastung der obersten Module M1-M4 in die Auswahl mit einbezogen werden.
- 15 Sofern eine Gruppe von Speicherbausteinen IC1-IC36 anhand eines vorgegebenen Auswahlkriteriums für einen Datenaustausch mit dem Datenbus DQ ausgewählt wurde, kann die Aktivierung der jeweiligen Speicherbausteine erfolgen. Dabei werden nur die Speicherbausteine IC1-IC36 der ausgewählten Gruppe für
- 20 einen Datenaustausch mit den Datenleitungen DQ1-DQ72 des Datenbusses DQ durch die Aktivierungseinrichtung A aktiviert. Damit kann der Datenaustausch mit dem Datenbus DQ optimiert werden, da nun Speicherbausteine IC1-IC36, die im Hinblick auf Performance ausgewählt wurden, an dem Datenaustausch mit
- 25 dem Datenbus DQ beteiligt sind.

- Sofern die Konfiguration der Gruppe, d.h. die Auswahl geeigneter Speicherbausteine IC1-IC36, wiederholt erfolgt, können die Mitglieder der jeweiligen Gruppe während eines Betriebes
- 30 des Speichers variieren.

- Da erfindungsgemäß eine Optimierung der Zusammensetzung der aktiven Gruppe, d.h. der für einen Datenaustausch mit dem Datenbus DQ aktivierten Speicherbausteine IC1-IC36, im Hinblick
- 35 auf einen leistungskritischen Parameter der Speicherbausteine IC1-IC36 erfolgt, kann eine ausreichende Zuverlässigkeit der Speicherbausteine IC1-IC36 auch bei hoher Belastung bzw. un-

günstiger räumlicher Anordnung dieser Speicherbausteine IC1-IC36 gewährleistet werden. So können die Speicherbausteine IC1-IC36 mit Hilfe des erfindungsgemäßen Verfahrens verstärkt unterhalb der kritischen Temperatur betrieben werden, wodurch
5 sich ihre mittlere Zugriffszeit und somit auch ihre allgemeine Funktionsfähigkeit verbessert.

Figur 4a und 4b zeigen eine Zusammenstellung von Speicherbausteinen zu einer optimalen Bank (Bank1). Die Zuordnung der
10 Speicherbausteine IC1-IC36 zu der die Bank bildenden Gruppe erfolgt dabei vorzugsweise mithilfe von CRS-Indizes, die hier beispielhaft in Form einer Tabelle dargestellt sind. Figur 4a zeigt dabei eine Zuordnungstabelle für die Organisation der Speicherbausteine IC aus Figur 3. Dabei bezeichnet "C" die
15 Position eines Speicherbausteins IC auf einem Modul und "R" den Rank, also die Rangfolge der auf einer Seite des jeweiligen Moduls angeordneten Gruppe von Speicherbausteinen IC innerhalb der Anordnung von Modulen M1-M4.

Figur 4b zeigt ferner eine weitere Zuordnungstabelle, die ebenfalls eine optimierte Zusammenstellung von Speicherbausteinen zu einer weiteren Bank (Bank2) darstellt. Dabei enthalten beide Tabellen jeweils voneinander verschiedene Speicherbausteine. Erfindungsgemäß können mehrere optimierte Bän-
25 ke mit jeweils unterschiedlichen Speicherbausteinen vorgesehen sein, zwischen denen in einem sog. Interleaved-Modus gewechselt wird.

Figur 5 zeigt beispielhaft eine erfindungsgemäße Anordnung
30 mit einer erfindungsgemäßen Steuervorrichtung C. Die hier stark vereinfacht dargestellte Anordnung kann z.B. ein Rechensystem 5 sein. Wie in der Figur 5 beispielhaft dargestellt umfasst die erfindungsgemäße Steuervorrichtung C neben einer Speichersteuereinrichtung MCU (memory controller unit)
35 zur Steuerung eines aus vier Modulen M1-M4 zusammengesetzten Speichers M auch eine Zentralrecheneinheit CPU. Weiterhin ist ein Zwischenspeicher HD vorgesehen, der Vorteilhafterweise

als eine Festplatte ausgebildet ist. Der Zwischenspeicher HD dient zum Backup des Inhalts der Speicherbausteine IC1-IC36 der Module M1-M4 bei einer erfindungsgemäßen Reorganisation der Speicherbänke. Die Zwischenspeicherung kann hierbei analog zu den per se bekannten Swapping-Prozeduren erfolgen, bei denen Speicherinhalte zwischen der Zentralrecheneinheit CPU, dem Speicher M und der Festplatte HD des Rechensystem 5 hin und hergeschoben werden.

10 Nach erfolgter Reorganisation der Speicherbänke können die auf der Festplatte zwischengespeicherten Daten wieder in die neu organisierten Speicherbausteine geschrieben oder anderweitig verwendet werden. Im Falle mehrere unabhängig voneinander organisierter Bänke kann auch ein Interleaved-Betrieb
15 problemlos fortgesetzt werden.

Grundsätzlich ist hierbei jede Speicherform als Zwischenspeicher HD erlaubt, die geeignet ist, als Backupmedium für den Speicherinhalt der Speicherbausteine IC1-IC36 im jeweiligen
20 Betrieb der Recheneinrichtung 5 zu dienen.

Die Zentralrecheneinheit CPU, die in der Regel den Speicher M verwaltet, weist im vorliegenden Beispiel eine Auswahlsteuerungseinrichtung SMU (select management unit) auf, die zum Auswählen der Speicherbausteine IC1-IC36 zu Speicherbänken dient. Die Auswahl der Speicherbausteine für eine Bank erfolgt dabei anhand eines vorgegebenen Parameters, hier der Temperatur der Speicherbausteine, die mittels spezieller Einrichtungen (hier nicht dargestellt) direkt vor Ort ermittelt
30 wird. Die entsprechenden Messsignale der Speicherbausteine werden der Auswahlsteuerungseinrichtung SMU zugeführt, die eine Bewertung der jeweiligen Speicherbausteine durchführt. Anhand der Bewertungsergebnisse wählt die Auswahlsteuerungseinrichtung SMU dann die geeignetsten Speicherbausteine modulunabhängig aus. Eine entsprechende Information über die
35 ausgewählten Speicherbausteine kann anschließend der Speichersteuereinrichtung MCU zugeführt werden, die wiederum die

entsprechenden Speicherbausteine IC1-IC36 individuell für einen Datenaustausch mit dem Datenbus DQ (hier nicht gezeigt) des Rechensystems 5 aktivieren kann. Die Aktivierung der ausgewählten Gruppe von Speicherbausteinen IC1-IC36 erfolgt dabei vorzugsweise mittels Steuerleitungen CRS, die an die jeweiligen Module M1-M4 angeschlossen sind. Dabei ist es vorteilhaft, für jeden Speicherbaustein IC1-IC36 eines Moduls M1-M4 eine eigene Steuerleitung CRS0-CRS8 vorzusehen, die als eine Art Ein-/Ausschalter für den jeweiligen Speicherbaustein IC1-IC36 fungiert. Weiterhin denkbar ist jedoch auch ein Multiplexer, der alle Speicherbausteine IC1-IC36 mit einer geringeren Anzahl von Steuerleitungen CRS ansprechen kann. Ebenfalls kann die Aktivierungsinformation für die einzelnen Speicherbausteine IC1-IC36 je nach Anwendung über bereits existierende Leitungen erfolgen.

Figur 5 zeigt lediglich schematisch acht einzelne Steuerleitungen CRS, die jeweils mit neun Speicherbausteinen IC (hier nicht dargestellt) einer als Rank R0-R7 bezeichneten Gruppe von Speicherbausteinen IC, verbunden sind. Alle Speicherbausteine IC einer dieser Gruppen sind jeweils auf einer Seite eines doppelseitig bestückten Speichermoduls M1-M4 angeordnet. Wie angedeutet weisen die einzelnen Steuerleitungen CRS im vorliegenden Falle jeweils eine Breite von neun Bit auf.

Die in Figur 5 gezeigte Steuervorrichtung C ist lediglich ein Ausführungsbeispiel. Die beschriebene Auswahlsteuerungseinrichtung SMU muss nicht zwingend innerhalb der Zentralrechen-
einheit CPU integriert sein. Die Bewertung und Auswahl der Speicherbausteine IC kann z.B. auch innerhalb der Speichersteuereinrichtung MCU erfolgen. Ebenso könnte je nach Anwendung der Zwischenspeicher HD für eine Reorganisation entfallen.

Im folgenden wird anhand zweier unterschiedlicher Anwendungsszenarien beschrieben, wie die Erfindung für ein in Figur 5

stark vereinfacht dargestelltes Rechensystem 5, verwendet werden kann.

Szenario 1:

- 5 Es kann beispielsweise vorgesehen sein, dass während eines Hochlaufs des Rechnersystems 5 ein innerhalb der Zentralrecheneinheit CPU implementiertes Minimal-Betriebssystem (BIOS) eine Evaluierung des in den Modulen M1-M4 verfügbaren Arbeitsspeichers vornimmt. Während des auch als Boot-Up- oder
- 10 Start-Up-Prozedur genannten Hochlaufs erfolgt eine Partitionierung des auf den Modulen M1-M4 physikalisch vorhandenen Speichers zu einem virtuellen Speicher, wobei der virtuelle Speicher einer Abbildung des physikalischen Speichers in einem linearen Adressraum entspricht. Derart ist eine eindeutige
- 15 Zuordnung des in den Speichermodulen M1-M4 verfügbaren Arbeitsspeichers zum virtuellen Speicher sicherstellt. Die genannte Partitionierung ist per se bekannt und nicht Gegenstand der vorliegenden Erfindung. Der als Ergebnis der durchgeführten Partitionierung erhaltene lineare Adressraum wird
- 20 in einer Verwaltungseinheit (hier nicht gezeigt) abgespeichert, die innerhalb der Zentralrecheneinheit CPU angeordnet ist.

- 25 Zu Beginn des Hochlaufs des Rechensystems 5 erfolgt weiterhin eine lediglich einmalige Durchführung des erfindungsgemäßen Verfahrens mittels der erfindungsgemäßen Steuervorrichtung C. Die dabei durchgeführte Auswahl einer oder mehrerer Gruppen von Speicherbausteinen IC für einen Datenaustausch mit dem Datenbus DQ bleibt für den weiteren Betrieb des Rechensystems 5
- 30 vorzugsweise unverändert bestehen. Eine erneute Durchführung des erfindungsgemäßen Verfahrens erfolgt dann erst wieder beim nächsten Hochlauf des Rechensystems 5.

Szenario 2:

- 35 Im Unterschied zum Szenario 1 erfolgt in diesem Fall eine wiederholte Durchführung des erfindungsgemäßen Verfahrens. Zu diesem Zweck wird zusätzlich zur oben beschriebenen Variante

ein Zwischenspeicher HD, vorzugsweise ein Festplattenspeicher verwendet, um die Datenintegrität zu einer Zeit, zu der ein erneutes Bewerten und Auswählen der Speicherbausteine IC erfolgt, sicherzustellen. Zu diesem Zweck wird der gesamte Inhalt des in den Modulen M1 bis M4 verfügbaren Arbeitsspeichers vor jeder Reorganisation der Speicherbausteine IC in dem Festplattenspeicher HD zwischengespeichert. Das Ergebnis der jeweils durchgeführten Bewertung kann von der entsprechenden Auswahleinrichtung E in einer speziellen Register-/Latcheinrichtung RL (Bank Select Register/Latch) abgelegt und bei einem Speicherzugriff wieder ausgelesen werden. Auf diese Weise kann ein Datenaustausch zwischen den jeweils selektierten Speicherbausteinen IC1-IC36 mit dem Datenbus DQ stattfinden, ohne dass Daten, etwa durch Überschreiben von zuvor in den Speicherbausteinen IC abgelegten Informationen bei der Reorganisation der Speicherbänke, verloren gehen.

Die Häufigkeit des erfindungsgemäßen Bewertens bzw. Auswählens der geeignetesten Speicherbausteine IC kann Vorteilhaftweise variabel sein. So ist es beispielsweise denkbar, dass das erfindungsgemäße Bewerten der Speicherbausteine IC1-IC36 in einem zum operativen Betrieb parallelen Hintergrundprozess durchgeführt wird. Das Zusammenstellen der Speicherbausteine zu optimalen Gruppen aufgrund der Bewertung erfolgt dann in der Zeit, in der der Festplattenspeicher HD den Datenaustausch sicherstellt. Ebenfalls denkbar ist es, dass das erfindungsgemäße Verfahren in Zeiten ausgeführt wird, in denen gerade kein Datenaustausch zwischen den Speicherbausteinen IC1-IC36 der Module M1-M4 und dem Datenbus DQ stattfindet. Es ist weiterhin denkbar, dass das erfindungsgemäße Verfahren nach jeweils einer definierten Anzahl von Datenaustauschzyklen am Signalleitungsbus DQ durchgeführt wird. Hierbei können die erfindungsgemäßen Reorganisationen der Speicherbänke periodisch mit Zeiträumen von wenigen Sekunden bis zu vielen Minuten erfolgen.

Somit dient in diesem Anwendungsbeispiel der Festplattenspeicher HD dazu, eine Datenintegrität in Phasen des Betriebs des Rechensystems 5 sicherzustellen, in denen eine erfindungsgemäße Neuauswahl der Speicherbausteine durchgeführt wird. Weiterhin ist es aus Gründen der Datenintegrität verboten, dass eine erfindungsgemäße Neuauswahl der Speicherbausteine, also eine Reorganisation der ausgewählten Gruppe, während einer gerade durchgeführten Signalübertragung erfolgt. Das bedeutet, dass die Umschaltung auf eine neu konfigurierte Speicherbank, die durch neu ausgewählte Speicherbausteine IC1-IC36 gebildet wird, in einer definierten Art und Weise erfolgen muss.

Somit kann die Erfindung in Szenario 2 als ein adaptives Verfahren aufgefasst werden, mit dessen Hilfe es in vorteilhafter Weise möglich ist, die Konfiguration bzw. die Organisation der Speicherbänke eines Rechensystems 5 an sich ändernde Betriebsbedingungen im Rechnersystem 5 bestmöglich anzupassen.

Gegebenenfalls ist im dem Fall einer Reorganisation der Speicherbänke während des laufenden Betriebs eine erneute Partitionierung des auf den Modulen M1-M4 physikalisch vorhandenen Speichers notwendig.

Alternativ ist ebenfalls denkbar, das erfindungsgemäße Verfahren dort einzusetzen, wo bedingt durch besondere Betriebszustände zeitweilig keine Anforderung an die Datenintegrität gestellt wird. Dies kann etwa dann der Fall sein, wenn der gesamte Speicherinhalt zu einem bestimmten Zeitpunkt redundant wird. Zum Beispiel kann ein Graphikspeicher eines Rechensystems, in dem ein bestimmter Bildschirminhalt abgelegt ist, vollständig gelöscht werden, sofern ein neuer Bildschirminhalt dargestellt werden soll. Eine zu diesem Zeitpunkt durchgeführte Reorganisation kann auch ohne Zwischenspeicherung des Speicherinhalts erfolgen.

- Figur 6 zeigt schematisch einen möglichen Aufbau einer erfindungsgemäßen Speichersteuereinrichtung MCU. Dabei weist die Speichersteuereinrichtung MCU neben per se bekannten Komponenten eine zusätzliche Register-/Latcheinrichtung RL (Select Bank Reg./Latch) zum Speichern der Konfiguration der Speicherbänke auf. Dabei können Informationen über die ausgewählten Speicherbausteine in einer in den Figuren 4a und 4b gezeigten Weise, wobei jeder Speicherbaustein mittels eines individuellen CRS-Indexes identifiziert wird, von der Auswahlsteuerungseinrichtung SMU der Zentralrecheneinheit CPU in die Register-/Latcheinrichtung RL abgelegt. Sofern ein Datenzugriff erfolgt, können diese Informationen von einem Sequenzer (CMD + Timing Logic) ausgelesen, der die entsprechenden Speicherbausteine IC anhand ihrer CRS-Indizes aktiviert. Hierzu können, wie in Figur 6 angedeutet, zusätzliche Steuerleitungen CRS zwischen dem Sequenzer und den einzelnen Speicherbausteinen IC vorgesehen sein, über die entsprechenden Speicherbausteine IC angesteuert werden.
- Für einen Interleaved-Betrieb des Speichers M können mehrere voneinander unabhängige Bänke innerhalb der Register-/Latch-Einrichtung RL abgelegt werden, zwischen denen Herkömmlicherweise gewechselt wird.
- Grundsätzlich sind auch Systeme denkbar, bei denen die erfindungsgemäße Register/Latch-Einrichtung RL zum Speichern der Konfiguration der Speicherbänke außerhalb der Auswahlsteuerungseinrichtung SMU angeordnet ist.
- Figur 7 zeigt stark vereinfacht eine Belegung der Anschlüsse eines erfindungsgemäßen Speichermoduls M'. Dieses Speichermodul M', das beispielhaft für eines der in den vorhergehenden Figuren dargestellten Module M1-M4 steht, ist hier als DDRI-DRAM ausgebildet. Neben den per se bekannten Leitungen zur Spannungsversorgung, Signalisierung und Datentransfer des Moduls M' sind zusätzliche Signalleitungen CRS0-8 zur Aktivierung der Speicherbausteine IC des jeweiligen Moduls M' vorge-

sehen. Dabei kann jeder der auf dem Modul M' angeordneten Speicherbausteine IC sowohl über eine individuelle Signalleitung CRS0-8, als auch über allen Speicherbausteinen IC des jeweiligen Moduls M' gemeinsam zugeordneten Signalleitungen (hier nicht gezeigt) angesprochen werden. Im ersten Fall werden die meisten Signalleitungen benötigt, da jeder Speicherbaustein IC nur den Spannungspegel auf der ihm zugeordneten Signalleitung CRS0-8 interpretiert. Im letzteren Fall können Signalleitungen zwar eingespart werden, da ähnlich einer Speicheradressierung die Informationen über die ausgewählten Speicherbausteine IC mittels gemeinsamer Signalleitungen CRS0-8 an die jeweiligen Speicherbausteine IC übermittelt werden. Allerdings sind hierfür weitere Schaltungen auf den Modulen notwendig, die eine richtige Zuordnung der CRS-Steuersignale zu den jeweiligen Speicherbausteinen IC erlauben. Ferner sind auch Systeme denkbar, bei denen die zur Aktivierung dienenden CRS-Steuersignale über bereits existierende Signalleitungen, z.B. über die Adressierungsleitungen A0-A12 des Datenbusses DQ z.B. in bestimmten Zeitfenstern übermittelt werden.

Die in der vorangehenden Beschreibung, den Ansprüchen und den Zeichnungen offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination zur Verwirklichung der Erfindung in ihren verschiedenen Ausführungsformen wesentlich sein. Insbesondere ist es im Sinne der Erfindung, das in der vorangehenden Beschreibung beispielhaft auf DRAM-Speicherbausteine bezogene erfindungsgemäße Verfahren auf beliebige gruppenweise auf Modulen angeordnete Halbleiterbausteine anzuwenden.

Patentansprüche

1. Verfahren zum Betreiben von Halbleiterbausteinen, insbesondere Speicherbausteinen, die gruppenweise auf an einem gemeinsamen Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet sind,
5 wobei jeder Halbleiterbaustein (IC1-IC36) auf jedem Modul (M1-M4) mit wenigstens einer Datenleitung (DQ1-DQ72) des Datenbusses (DQ) verbunden ist,
10 mit den Verfahrensschritten:
 - a) Auswählen einer Gruppe von Halbleiterbausteinen (IC1-IC36) aus auf den Modulen (M1-M4) angeordneten Halbleiterbausteinen (IC1-IC36) modulunabhängig nach einem vorgegebenen Auswahlkriterium, wobei die ausgewählte Gruppe der Halbleiterbausteine (IC1-IC36) die Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) über die gesamte Busbreite belegt;
15 b) Aktivieren der Halbleiterbausteine (IC1-IC36) der ausgewählten Gruppe; und
c) Ausführen eines Datenaustausches zwischen den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) und der ausgewählten Gruppe von Halbleiterbausteinen (IC1-IC36).
20
2. Verfahren nach Anspruch 1,
wobei die Verfahrensschritte a) bis c) wiederholt werden und
25 bei zwei zeitlich nacheinander erfolgenden Zyklen im Verfahrensschritt a) verschiedene Halbleiterbausteine (IC1-IC36) ausgewählt werden.
3. Verfahren nach Anspruch 1 oder 2,
30 wobei das Auswahlkriterium die Temperatur der Halbleiterbausteine (IC1-IC36) ist und vorzugsweise Halbleiterbausteine (IC1-IC36) mit der niedrigsten Temperatur ausgewählt werden.
4. Verfahren nach einem der Ansprüche 1 bis 3,
35 wobei die Auswahl der Halbleiterbausteine (IC1-IC36) mit Hilfe einer statistischen Methode erfolgt.

5. Verfahren nach Anspruch 4,
wobei die statistische Methode die Anordnung der Halbleiter-
bausteine (IC1-IC36) auf den Modulen (M1-M4) und/oder die An-
ordnung der Module (M1-M4) zueinander oder zu anderen benach-
5 barten Komponenten berücksichtigt.

6. Verfahren nach Anspruch 4 oder 5,
wobei die statistische Methode empirisch gewonnene und/oder
aktuell ermittelte Daten berücksichtigt.

10

7. Verfahren nach einem der Ansprüche 1 bis 6,
wobei jedem der Halbleiterbausteine (IC1-IC36) eine Auswahl-
wahrscheinlichkeit zugeordnet ist.

15 8. Verfahren nach Anspruch 7, wobei die Halbleiterbausteine
(IC1-IC36) räumlich zueinander angeordnet sind,
wobei die Auswahlwahrscheinlichkeit eines Halbleiterbausteins
(IC1-IC36) von seiner relativen Lage zu benachbarten Halblei-
terbausteinen (IC1-IC36) abhängt und ein Halbleiterbaustein
20 (IC1-IC36) in einem äußeren Bereich der Module (M1-M4) eine
höhere Auswahlwahrscheinlichkeit aufweist als ein Halbleiter-
baustein (IC1-IC36) in einem inneren Bereich.

9. Verfahren nach einem der vorhergehenden Ansprüche,
wobei jedem der auf den Modulen (M1-M4) angeordneten Halblei-
terbausteine (IC1-IC36) ein individueller Index (CRS) zuge-
ordnet ist, der das entsprechende Modul (M1-M4) und die Posi-
tion des entsprechenden Halbleiterbausteins (IC1-IC36) auf
dem Modul (M1-M4) bezeichnet,
30 wobei die Indizes (CRS) der im Verfahrensschritt a) modul-
unabhängig ausgewählten Gruppe von Halbleiterbausteinen (IC1-
IC36) in einer Registereinrichtung (RL) abgelegt werden,
wobei im Verfahrensschritt b) die Indizes (CRS) der ent-
sprechenden Gruppe zugeordneten Halbleiterbausteine (IC1-
35 IC36) aus der Registereinrichtung (RL) gelesen und die ent-
sprechenden Halbleiterbausteine (IC1-IC36) mit Hilfe ihrer

Indizes (CRS) aktiviert werden.

10. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Verfahrensschritte a) bis c) zum Beginn einer
5 Start-Up-Prozedur erfolgen, bei der die Halbleiterbausteine
(IC1-IC36) in Betrieb genommen werden.

11. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Halbleiterbausteine (IC1-IC36) Speicherbausteine
10 sind, und
wobei die Verfahrensschritte a) bis c) zum einem Zeitpunkt
erfolgen, an dem der Inhalt der Speicherbausteine (IC1-IC36)
redundant ist.

12. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Halbleiterbausteine (IC1-IC36) Speicherbausteine
sind, und
wobei vor der Auswahl einer Gruppe von Speicherbausteinen
(IC1-IC36) im Verfahrensschritt a) die in den Speicherbau-
20 steinen (IC1-IC36) bereits gespeicherten Daten in einen Zwi-
schenspeicher (HD) abgelegt werden.

13. Verfahren nach einem der vorhergehenden Ansprüche,
wobei neben der im Verfahrensschritt a) ausgewählten Gruppe
25 von Halbleiterbausteinen (IC1-IC36) eine weitere Gruppe von
weiteren Halbleiterbausteinen (IC1-IC36) modulunabhängig aus-
gewählt wird, deren Halbleiterbausteine (IC1-IC36) ebenfalls
die Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) über die
gesamte Busbreite belegen, und
30 wobei beim Datenaustausch zwischen den Datenleitungen (DQ1-
DQ72) des Datenbusses (DQ) und den Halbleiterbausteinen (IC1-
IC36) einer Gruppe im Verfahrensschritt c) zwischen den Grup-
pen von Halbleiterbausteinen (IC1-IC36) gewechselt wird.

14. Steuervorrichtung für Halbleiterbausteine, insbesondere
35 Speicherbausteine, die gruppenweise auf an einem gemeinsamen

Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet sind,

wobei jeder Halbleiterbaustein (IC1-IC36) auf jedem Modul (M1-M4) mit wenigsten einer Datenleitung (DQ1-DQ72) des Datenbusses (DQ) verbunden ist,

wobei eine Auswahlleinrichtung (E) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) für die Gruppe modulunabhängig nach einem vorgegebenen Auswahlkriterium zyklisch auszuwählen, und

wobei eine Aktivierungseinrichtung (A) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) der ausgewählten Gruppe für einen Datenaustausch mit den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) zu aktivieren.

15. Steuervorrichtung nach Anspruch 14, wobei die Auswahlleinrichtung (E) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) für die aktive Gruppe in Abhängigkeit von der Temperatur der Halbleiterbausteine (IC1-IC36) auszuwählen.

16. Steuervorrichtung nach Anspruch 14 oder 15, wobei die Auswahlleinrichtung (E) ausgebildet ist, um die Auswahl der Halbleiterbausteine (IC1-IC36) für die aktive Gruppe mit Hilfe einer statistischen Methode durchzuführen.

17. Steuervorrichtung nach einem der Ansprüche 14 bis 16, wobei die Auswahlleinrichtung (E) ausgebildet ist, um jedem Halbleiterbaustein (IC1-IC36) eine individuelle Auswahlwahrscheinlichkeit in Abhängigkeit von seiner relativen Lage in einer räumlichen Anordnung der Halbleiterbausteine (IC1-IC36) zuzuordnen.

18. Steuervorrichtung nach einem der Ansprüche 14 bis 17, wobei eine Bewertungseinrichtung (S) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) nach vorgegebenen Kriterien, insbesondere der Temperatur, zu bewerten, und dass die Auswahlleinrichtung (E) ausgebildet ist, um die

Halbleiterbausteine (IC1-IC36) in Abhängigkeit von den Bewertungsergebnissen der Bewertungseinrichtung (S) auszuwählen.

19. Steuervorrichtung nach einem der vorhergehenden Ansprüche,
5 wobei die Aktivierungseinrichtung (A) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) der aktiven Gruppe mit Hilfe eines jedem Halbleiterbaustein (IC1-IC36) individuell zugeordneten, das entsprechende Modul (M1-M4) und die Position
10 des entsprechenden Halbleiterbausteins (IC1-IC36) bezeichnenden Indizes (CRS) zu aktivieren.

20. Steuervorrichtung nach einem der vorhergehenden Ansprüche,
15 wobei eine Registereinrichtung (RL) ausgebildet ist, um die Information über die Zuordnung der Halbleiterbausteine (IC1-IC36) zu der aktiven Gruppe von Halbleiterbausteinen (IC1-IC36) zu speichern.

21. Anordnung zum Betreiben von Speicherbausteinen (IC1-IC36), die gruppenweise auf an einem gemeinsamen Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet sind,
wobei jeder Speicherbaustein (IC1-IC36) auf jedem Modul (M1-M4) mit wenigstens einer Datenleitung (DQ1-DQ72) des Datenbusses (DQ) verbunden ist,
25 mit einer Steuervorrichtung (C) zum Steuern eines Datenaustausches zwischen den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) und den Speicherbausteinen (IC1-IC36), umfassend eine Auswahleinrichtung (E), um eine Gruppe von Speicherbausteinen (IC1-IC36) für einen Datenaustausch mit dem Datenbus (DQ) modulunabhängig nach einem vorgegebenen Auswahlkriterium auszuwählen, und eine Aktivierungseinrichtung (A), um die
30 Speicherbausteine (IC1-IC36) der ausgewählten Gruppe für einen Datenaustausch mit den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) zu aktivieren,
35 mit einem Zwischenspeicher (HD), um während einer Reorganisation der Gruppe von Speicherbausteinen (IC1-IC36) die in den

Speicherbausteinen (IC1-IC36) bereits gespeicherten Daten
zwischenzuspeichern.

Zusammenfassung

Verfahren zum Steuern von Halbleiterbausteinen und Steuervorrichtung

5

Die Erfindung betrifft ein Verfahren zum Betreiben von Halbleiterbausteinen, insbesondere Speicherbausteinen, die gruppenweise auf an einem gemeinsamen Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet sind,

10

wobei jeder Halbleiterbaustein (IC1-IC36) auf jedem Modul (M1-M4) mit wenigsten einer Datenleitung (DQ1-DQ72) des Datenbusses (DQ) verbunden ist,

mit den Verfahrensschritten:

15

a) Auswählen einer Gruppe von Halbleiterbausteinen (IC1-IC36) aus auf den Modulen (M1-M4) angeordneten Halbleiterbausteinen (IC1-IC36) modulunabhängig nach einem vorgegebenen Auswahlkriterium, wobei die ausgewählte Gruppe der Halbleiterbausteine (IC1-IC36) die Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) über die gesamte Busbreite belegt;

20

b) Aktivieren der Halbleiterbausteine (IC1-IC36) der ausgewählten Gruppe; und

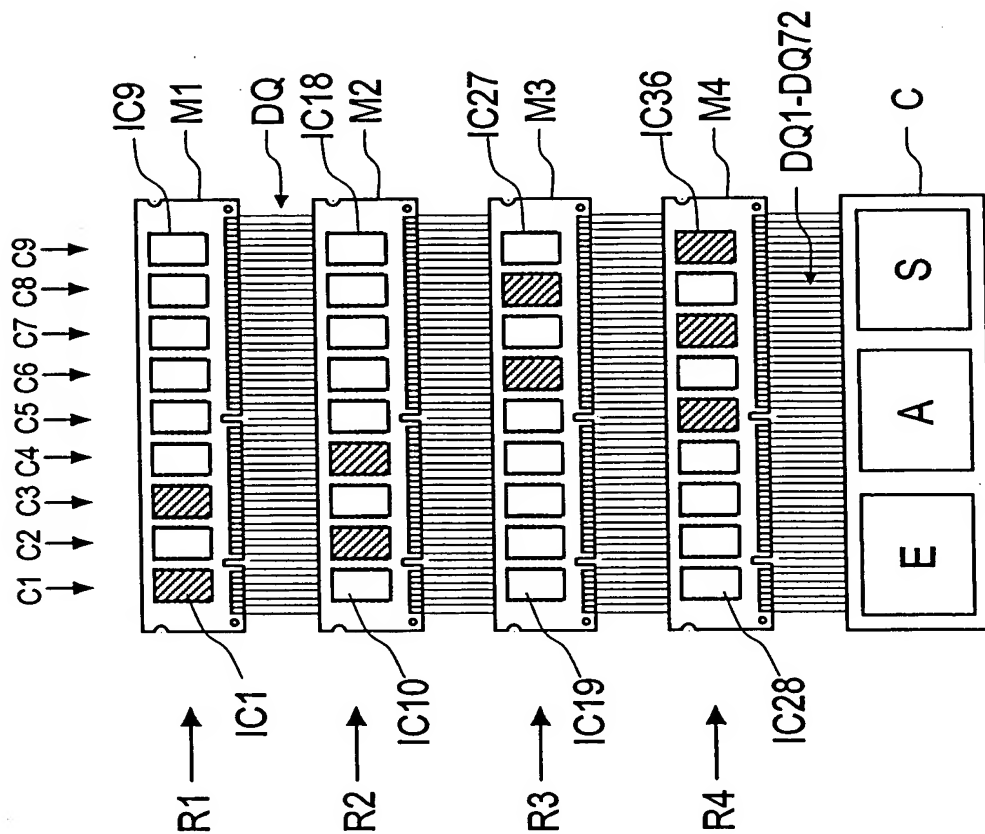
c) Ausführen eines Datenaustausches zwischen den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) und der ausgewählten Gruppe von Halbleiterbausteinen (IC1-IC36).

25

Figur 3

Figur für die
Zusammenfassung

Fig.3



Bezugszeichenliste

	C	Steuervorrichtung
	A	Aktivierungseinrichtung
5	E	Auswahleinrichtung
	S	Bewertungseinrichtung
	IC1-IC36	Halbleiterbaustein
	M1-M4, M'	Modul
	M	DRAM-Speicher
10	DQ	Datenbus
	DQ1-DQ72	Datenleitung
	CRS0-8	Signalleitung
	CRS	Index
	HD	Zwischenspeicher
15	RL	Registereinrichtung
	CPU	Zentralrecheneinheit
	MCU	Speichersteuerungseinheit
	SMU	Auswahlsteuereinrichtung
	R	Rank
20	5	Recheneinrichtung

Fig.1

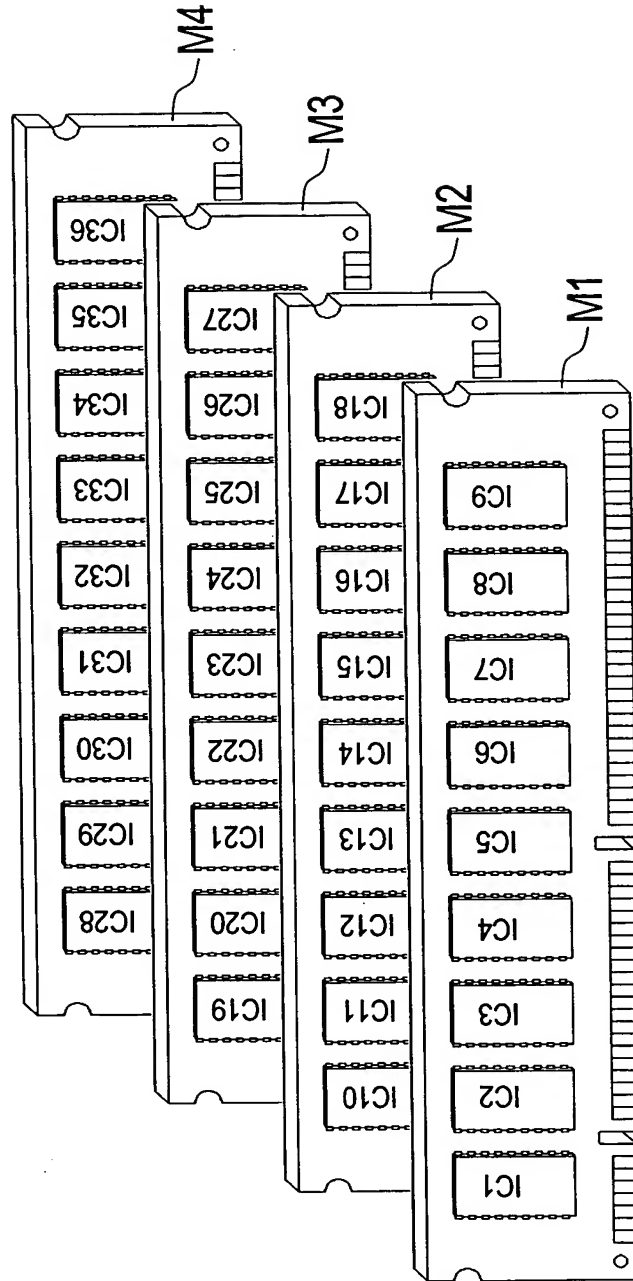


Fig.2

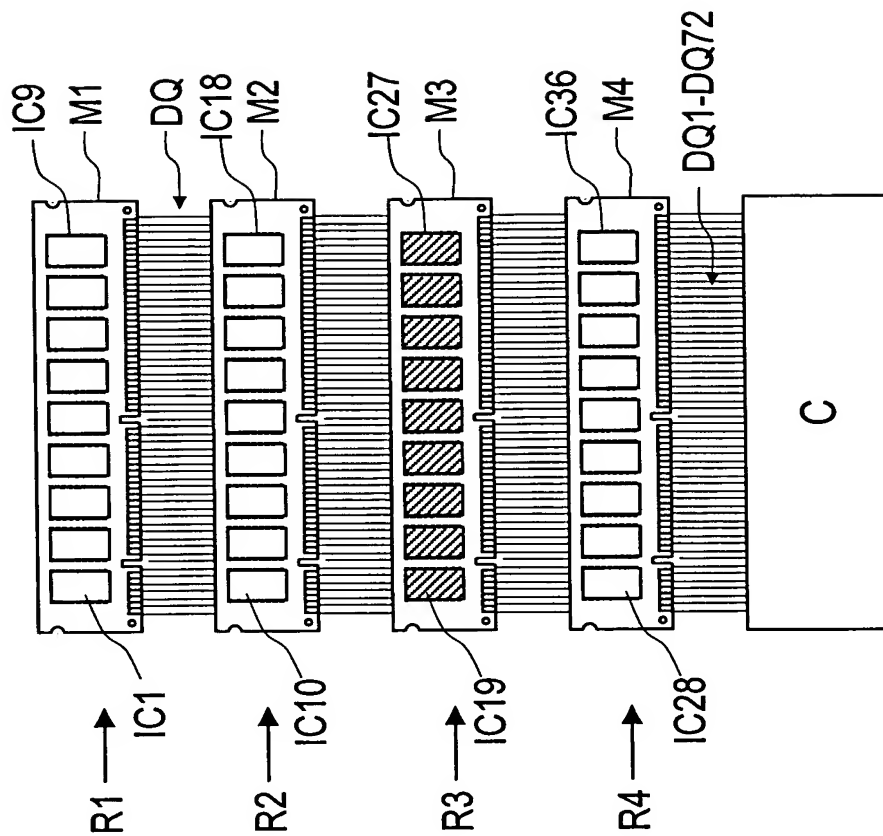
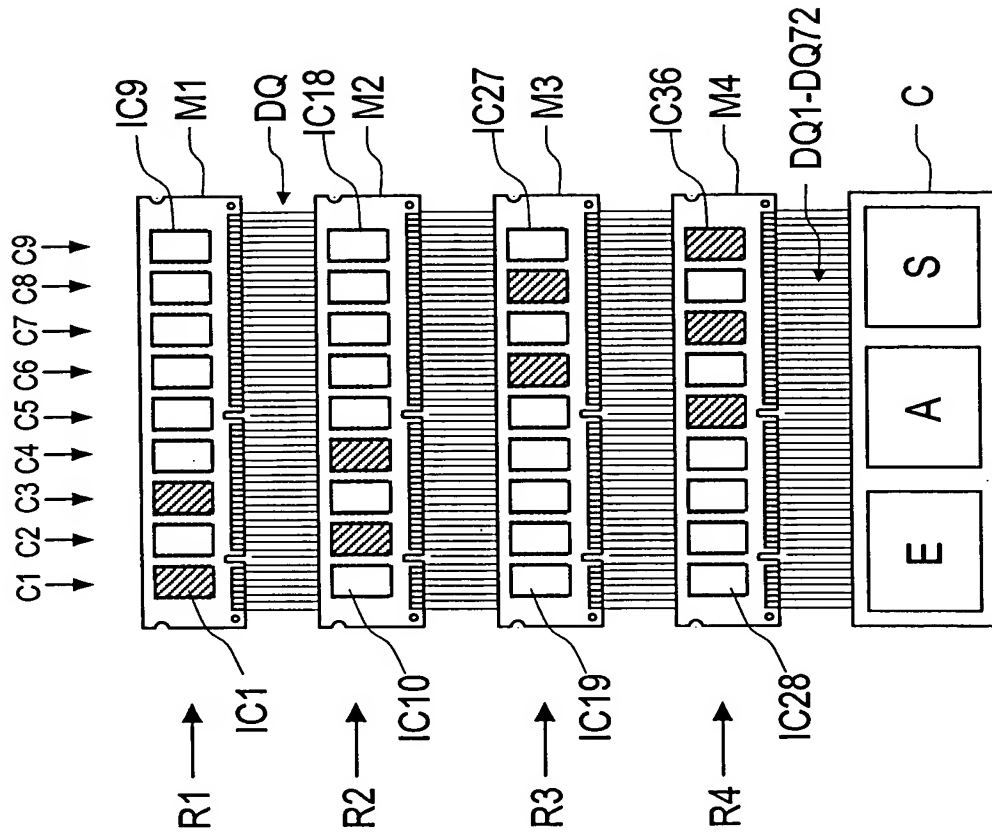


Fig.3



4/7

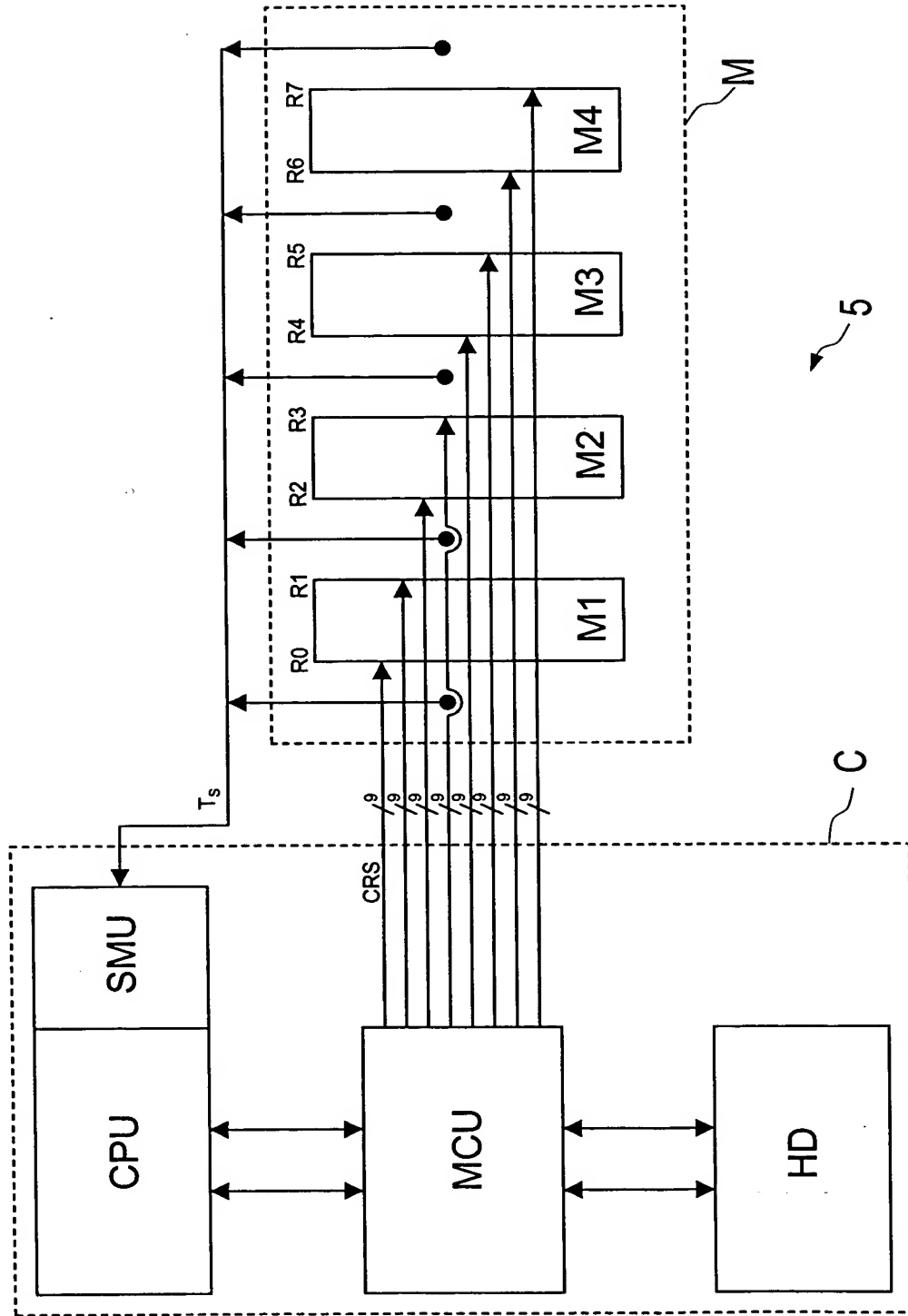
Fig.4a

Bank 1	CRS	
	C	R
	1	1
	2	2
	3	1
	4	2
	5	4
	6	3
	7	4
	8	3
	9	4

Fig.4b

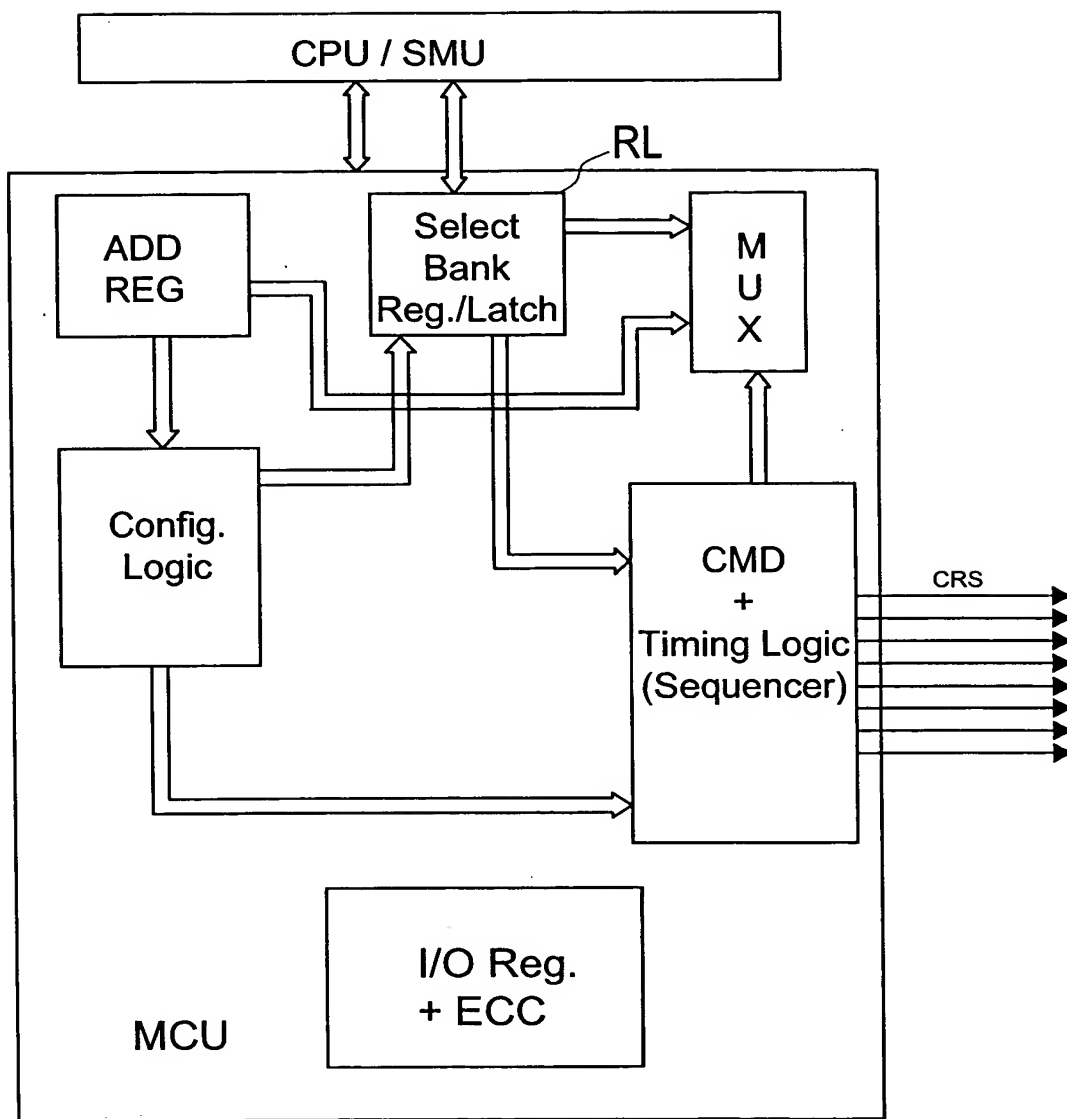
Bank 2	CRS	
	C	R
	1	4
	2	3
	3	4
	4	3
	5	1
	6	2
	7	1
	8	2
	9	1

Fig.5



6/7

Fig.6



7/7

Fig.7

